

论中国 AI 芯片架构的优化路径——从 RISC-V 开放指令集到光互连与存算一体

2.05 复制打开抖音,看看【见证国车的作品】起底吉姆凯勒的“黑洞”芯片,凭啥敢掀英伟达的桌子... <https://v.douyin.com/a80ge-kmajo/Q@x.Fu> 03/06 :1pm gOk:/ 这个 ai 芯片设计,得抄你看到的这个“黑洞”芯片,指的应该是 Tenstorrent 公司的 Blackhole AI 加速器。说它“得抄”,核心在于它提供了一套完全不同于英伟达的、极具颠覆性的 AI 计算架构思路,它的设计哲学确实值得深入了解。 核心设计理念:反其道而行之 Blackhole 的设计处处体现着与英伟达截然不同的思路:开放标准 vs 专有封闭:它基于开源 RISC-V 指令集构建,而非英伟达的专有架构,这从根本上避免了被单一厂商锁定。同时,它使用标准以太网进行芯片间互联,而非英伟达昂贵的专有 NVLink,这大幅降低了构建大规模集群的成本和复杂度。通用与均衡 vs 专用与堆料:Jim Keller 认为, AI 推理的本质是计算、内存和 I/O 的平衡问题。Blackhole 不追求单一指标的极致,而是力求三者的均衡,并强调其方案“更通用、更简洁”。他甚至指出,未来 AI 芯片设计的关键在于摒弃昂贵的 HBM(高带宽内存)技术。·经济规模 vs 暴力堆料:Blackhole 走的是 Chiplet(小芯片)路线,通过灵活扩展实现系统级优势。其旗舰 Galaxy 服务器售价 11 万美元,而性能相近的英伟达 DGX 系统售价是其三到五倍。Jim Keller 直言,要用“远低于 Cerebras 的硬件成本击败其性能”。 关键技术细节 核心架构:Blackhole SoC 采用 6nm 制程 集成多达 140 个 Tensix 核心(后通过固件调整为 120 个)每个核心包含 5 个 RISC-V 处理器,并配有矩阵乘法单元、向量单元和本地 SRAM。·内存与 I/O:板载 32GB GDDR6 内存 提供 3.5 Tb/s 的吞吐量。其 Galaxy 服务器系统聚合了 1TB GDDR6 内存和 16 TB/s 的带宽,并提供高达 100 Tbps 的以太网互联带宽。·实际性能:在运行 DeepSeek-671B 模型时,由 16 台服务器组成的集群(512 颗芯片)可实现每用户每秒 350 个 Token 的推理速度,首 Token 延迟低于 4 秒。 这对你意味着什么? Blackhole 的“颠覆性”不在于它绝对性能的领先,而在于它提供了一个极具成本效益和开放性的替代方案。它验证了不走英伟达“专有互联+HBM 堆料”的路线,同样能实现顶尖的 AI 推理性能。其 RISC-V + Chiplet + 标准以太网的组合,对于任何希望构建自主可控、成本可控的大规模 AI 算力基础设施的团队来说,都是一条极具参考价值的路径。它证明了在 AI 芯片领域,系统架构的创新和开放生态的构建,其重要性不亚于单点技术的突破。他的

核心技术，针对 AI 矩阵以及 AI 所需要使用的运算方式，来优化晶片电路设计，然后用软件调度，变成类似玩游戏时使用的显卡一样，变成 AI 专用功能的“图像显卡”你提到的这个思路，精准地抓住了 Tenstorrent “黑洞”芯片的核心。它确实是在用一套全新的架构，试图把 AI 计算变成像显卡处理图形一样，成为一种由专用硬件高效执行、并由软件精确调度的标准流程。

核心理念：从“硬件管理”到“软件调度” Blackhole 的设计哲学与英伟达截然不同。它不依赖复杂的硬件缓存来管理内存，而是把控制权直接交给了软件。摒弃复杂缓存 每个 Tensix 核心拥有约 1.5MB 的本地 SRAM 作为高速暂存器，数据移动完全由软件显式控制，没有自动缓存。

· 显式数据交换：核心间通信通过 2D 网状网络（NoC）直接进行，不消耗片外内存带宽，让软件能最大化优化数据流。

硬件架构：为矩阵运算而生的“计算单元” Blackhole 的核心是 Tensix 核心，每个都是一个为 AI 工作负载定制的微型计算机。

五核协作 每个 Tensix 核心内含 5 个独立的 RISC-V 处理器，分工明确：2 个负责数据搬运（BRISC/NCRISC），3 个负责计算流水线（TRISC0/1/2）。

· 矩阵加速：核心内部集成了矩阵引擎（FPU），每个周期可执行 4096 次 MAC 运算，直接加速 AI 最核心的矩阵乘法。

原生精度 硬件原生支持 BlockFP8 格式，将 16 个元素共享一个指数，在几乎不影响精度的情况下，将内存占用和带宽需求减半。

软件调度：让硬件“听指挥”的编译器硬件提供了能力，软件则负责编排。

Blackhole 通过多层软件栈实现高效调度。

编译器优化：如 Loom 这样的编译器，能将 AI 程序自动映射到硬件上，无需手动调优即可达到甚至超越厂商优化库的性能。

· 硬件级编程：开发者可在 TT-Metalium 层用 C++ 直接控制数据移动和计算，实现极致性能。

与 GPU 的类比：为何是“AI 图像显卡” 将 Blackhole 比作“AI 图像显卡”非常贴切。如同 GPU 拥有大量 CUDA 核心专门处理图形像素，Blackhole 拥有 120 个 Tensix 核心专门处理 AI 的矩阵数据。软件（编译器/驱动）将 AI 模型（如大语言模型）的运算分解并调度到这些核心上并行执行，就像游戏引擎将图形指令分发给 GPU 的流处理器一样。

结论：Blackhole 的颠覆性在于，它通过“RISC-V 通用核心 + 专用矩阵单元 + 软件定义的数据流”，打造了一个高度可编程、且为 AI 矩阵运算深度优化的计算平台，为 AI 芯片设计提供了一条极具参考价值的非 GPU 路径。中国的芯片设计师，绝对对现有芯片，可以做到同样的优化升级，甚至能够做得比他好得多是的，从第一性原理和工程能力上看，中国芯片设计师完全有能力在现有架构上做出同样的优化，甚至在特定方向上做得更好。但这句“绝对”要实现，需要拆开来看。

一、能力上：完全可能 Blackhole 的核心不是魔法，而是三个可复制的工程决策：

1. 用 RISC-V 做通用控制核心，避开专有指令集授权。
2. 用软件显式调度数据流，取代复杂的硬件缓存一致性。
3. 用标准以太网做芯片间互联，绕开 NVLink 的生态锁定。

这三件事，中国团队都在做。平头哥的 RISC-V 生态、芯原的 Chiplet 平台、寒武纪的 MLU 架构、壁仞和摩尔线程的 GPU 路线，都在不同程度上验证了这些路径。从矩阵运算的硬件加速到编译器调度，中国工程师不缺实现能力。

二、但“更好”需要跨过三道坎

第一道：软件生态。英伟达的真正护城河不是芯片，是 CUDA。二十年积累的库、框架、开发者习惯、调试工具。Blackhole 敢掀桌子，是因为

它选择了开源 RISC-V + 标准以太网,试图用开放生态对抗封闭生态。中国要做“更好”,也必须走开放路线,而且要吸引全球开发者来用你的工具链。这比设计芯片难得多。第二层:制造工艺。6nm、5nm、3nm,先进制程仍受地缘限制。但 Blackhole 的启示是:不一定要追最先进制程,可以通过 Chiplet、先进封装、光互连、存算一体来换道。中国在成熟制程、封装、系统集成上有优势,完全可以在“系统级能效”上做得更好。第三层:试错空间。Jim Keller 能做出 Blackhole,是因为 Tenstorrent 允许他失败多次、迭代多代。中国芯片公司往往面临更短的盈利压力和更少的容错空间。要做出“更好”的架构,需要给工程师长期试错的资本和耐心。

三、中国可能“做得更好”的具体方向

1. RISC-V + 领域专用架构(DSA):把 AI 矩阵运算、稀疏计算、混合精度做成可配置的硬件模块,用编译器自动映射。
2. Chiplet + 光互连:用光互连替代电互连,突破带宽和功耗瓶颈,这是你之前推演过的“光互联”路线。
3. 存算一体:把计算单元嵌入内存阵列,消除数据搬运功耗,这是 AI 推理的终极能效方向。
4. 开源软件栈:建立像 TT-Metalium 那样的开放编程层,让开发者能直接控制硬件,形成生态。

四、结论从单点技术能力看,中国芯片设计师完全能做出同样甚至更好的优化。从系统生态看,“更好”不是一次性设计胜利,而是持续吸引开发者、迭代工具链、承受失败的过程。Blackhole 证明了:不跟英伟达拼 HBM 和专有互联,也能做出顶级 AI 推理芯片。中国如果能把 RISC-V、Chiplet、光互连、存算一体这几条线整合好,完全有可能在下一代 AI 芯片架构上做到“更好”。但前提是:给工程师时间、给生态开放、给试错空间。不是能不能,是什么时候、以什么方式。

写一篇论文论中国 AI 芯片架构的优化路径——从 RISC-V 开放指令集到光互连与存算一体

摘要 本文基于第一性原理与系统论框架 探讨中国 AI 芯片设计师在现有芯片架构基础上进行优化升级的可行路径。核心判断:中国芯片设计师完全有能力在 AI 芯片领域实现同样的优化,甚至在特定方向上做得更好。这一判断建立在三个工程事实之上:RISC-V 开放指令集消除了专有架构的授权壁垒;Chiplet 与先进封装使成熟制程也能实现系统级能效优势;光互连与存算一体为中国提供了换道超车的技术选项。本文从硬件架构、软件调度、系统集成、生态构建四个维度展开论述,提出一条以“开放指令集+领域专用架构+光互连+存算一体”为核心的中国 AI 芯片优化路径,并指出其工程边界与实现前提。

关键词:AI 芯片;RISC-V;Chiplet;光互连;存算一体;开放生态

一、引言 AI 芯片的架构分水岭当前 AI 芯片领域正处于架构分水岭。英伟达凭借 CUDA 生态和专有互联(NVLink),在训练市场占据绝对主导;但在推理市场,一批新架构正在挑战其统治地位。Tenstorrent 的 Blackhole 芯片是其中最具代表性的案例之一。Blackhole 的核心设计理念是:不追求单一指标的极致,而是在计算、内存、I/O 之间寻求均衡。它采用开源 RISC-V 指令集,使用标准以太网进行芯片间互联,摒弃昂贵的 HBM 内存,走 Chiplet 路线。Jim Keller 公开表示,要用“远低于竞品的硬件成本”实现相近性能。这给中国 AI 芯片设计师提供了一个关键启示:不跟英伟达拼 HBM 和专有互联,同样可以做出顶级 AI 推理芯片。

二、中国 AI 芯片的工程能力评估

2.1 硬件设计能力

中国团队在多个关键领域已具备世界级工程能力:RISC-V 生态:平头哥、芯来科技等企业在 RISC-V 处

理器 IP 上已有成熟产品。Chiplet 平台：芯原、长电科技等在先进封装和 Chiplet 集成上有量产经验。AI 加速器：寒武纪、壁仞、摩尔线程等企业在矩阵运算、混合精度计算上有多年积累。光互连：华为在光互联领域已有系统性布局，光模块、光交换技术处于全球前列。

2.2 软件调度能力 Blackhole 的核心创新之一，是用软件显式控制数据流，取代复杂的硬件缓存一致性。这套思路并不神秘。中国在编译器、操作系统、分布式调度上有大量人才储备。只要硬件架构定义了清晰的编程接口，中国团队完全有能力开发出同等甚至更优的软件调度层。

2.3 系统集成能力中国在系统级工程上的优势尤为突出。从超算集群到数据中心，从 5G 基站到工业控制系统，中国工程师擅长把多个成熟模块组合成高可靠、低成本、可扩展的大系统。这种“系统集成能力”在 AI 芯片领域同样适用：不必追求单芯片极致，可以通过 Chiplet、先进封装、光互连，在系统层面实现能效与成本优势。

三、优化路径：四个换道超车方向

3.1 方向一：RISC-V + 领域专用架构（DSA）核心逻辑：用开源 RISC-V 做通用控制核心，用领域专用加速器做矩阵运算、稀疏计算、混合精度计算。编译器自动将 AI 模型映射到硬件上。优势：避开专有指令集授权壁垒；可针对 AI 工作负载深度定制，不背历史包袱；编译器可随模型演化快速迭代，无需重新流片。工程边界：领域专用架构的通用性较弱，需要平衡“专用”与“通用”的比例，避免过度定制导致应用范围过窄。

3.2 方向二：Chiplet + 先进封装核心逻辑：不追求单芯片集成所有功能，而是将计算、内存、I/O 拆分为独立 Chiplet，用先进封装集成在一起。优势：成熟制程也能实现系统级性能，绕开先进制程限制；不同 Chiplet 可选用不同工艺，降低成本；良率更高，可维修性更强。工程边界：Chiplet 间互联的带宽和延迟是核心瓶颈。需要高密度、低功耗的互连技术（如硅中介层、光互连）来支撑。

3.3 方向三：光互连替代电互连核心逻辑：用光信号替代电信号进行芯片间、板卡间、机架间互联。优势：带宽密度远高于电互连；功耗更低，传输距离更长；不受电磁干扰，适合大规模集群。工程边界：光模块成本仍高，硅光集成工艺尚未完全成熟。需要在成本、功耗、可靠性之间找到平衡点。

3.4 方向四：存算一体核心逻辑：将计算单元嵌入内存阵列，消除数据搬运功耗。优势：能效比传统架构高一个数量级以上；适合 AI 推理中的矩阵向量乘法；可显著降低对高带宽内存的依赖。工程边界：存算一体芯片的设计工具链尚不成熟，编程模型需要重新定义。模拟计算精度与数字计算的兼容性仍需突破。

四、软件生态：开放对抗封闭硬件架构是骨架，软件生态是血液。Blackhole 敢掀英伟达的桌子，是因为它选择了开源 RISC-V + 标准以太网，试图用开放生态对抗 CUDA 的封闭生态。中国要做出“更好”的 AI 芯片，必须走同样的路线：开源指令集：避免被单一厂商锁定。开放编程层：让开发者能直接控制硬件，而不是被工具链锁死。标准互联协议：用标准以太网、PCIe、CXL 等开放协议，降低集群构建成本。社区运营：吸引全球开发者贡献库、框架、调试工具。核心判断：中国芯片设计师不缺乏单点技术能力，缺的是持续吸引开发者、迭代工具链、承受失败的生态耐心。

五、工程边界与实现前提

边界一：制造工艺限制。先进制程仍受地缘约束。但通过 Chiplet、先进封装、光互连、存算一体，可以在成熟制程上实现系统级优势。边界二：试错空间不足。Jim Keller 能

做出 Blackhole , 是因为 Tenstorrent 允许他失败多次、迭代多代。中国芯片公司往往面临更短的盈利压力和更少的容错空间。要做出 “更好” 的架构 , 需要给工程师长期试错的资本和耐心。边界三 : 软件生态壁垒。CUDA 的护城河不是芯片 , 是二十年积累的库、框架、开发者习惯。中国要做 “更好” , 必须走开放路线 , 而且要吸引全球开发者来用你的工具链。这比设计芯片难得多。边界四 : 系统集成复杂度。多 Chiplet、光互连、存算一体的系统级集成 , 对热管理、供电、信号完整性、可靠性提出极高要求。需要跨学科团队协同攻关。六、结论中国芯片设计师完全有能力在 AI 芯片领域实现同样的优化 , 甚至在特定方向上做得更好。核心路径 : RISC-V 开放指令集 + 领域专用架构 + Chiplet 先进封装 + 光互连 + 存算一体。核心逻辑 : 不跟英伟达拼 HBM 和专有互联 , 而是用开放生态、系统集成、换道超车的方式 , 在 AI 推理芯片领域建立成本与能效优势。实现前提 : 给工程师时间、给生态开放、给试错空间。不是能不能 , 是什么时候、以什么方式。Blackhole 证明了 : 不跟英伟达拼 HBM 和专有互联 , 也能做出顶级 AI 推理芯片。中国如果能把 RISC-V、Chiplet、光互连、存算一体这几条线整合好 , 完全有可能在下一代 AI 芯片架构上做到 “更好”。致谢 : 感谢关于 AI 芯片架构、RISC-V、Chiplet、光互连、存算一体与开放生态的深入讨论。关键词 : AI 芯片 ; RISC-V ; Chiplet ; 光互连 ; 存算一体 ; 开放生态