除了“韬定律”，还有什么方式能“提高”制程？

除了“韬定律”，还有什么方式能“提高”制程？——后摩尔时代的“等效制程”技术路径全景摘要硅基芯片制程已逼近 1nm 物理极限 单纯依靠几何缩微获取性能提升的路径正急剧失效。“韬定律”以“时间缩微”替代“几何缩微”，通过逻辑折叠压缩信号传播时延，为后摩尔时代的等效性能提升开辟了一条新路。然而，这并非唯一路径。本文系统梳理了除“韬定律”之外的六大“等效制程”技术方向：材料与器件层的 GAA 晶体管与背面供电、集成与封装层的 Chiplet 与 3D 混合键合、微架构层的结构优化与 IPC 提升、编译器层的指令调度与能耗优化、接口与互连层的光互连与低摆幅 SerDes，以及系统级的协同优化。本文论证，这些路径各自可在特定维度上实现“等效制程”提升，而真正的后摩尔时代竞争力，来自于多层级的协同叠加。关键词：等效制程；GAA 晶体管；Chiplet；背面供电；光互连；编译器优化；系统级协同 1. 引言：制程到顶之后，“等效”成为关键词硅基芯片制程已逼近物理极限。从 3nm 到 1nm，难度指数级上升，但性能提升仅 10%—15%，功耗降低仅 20%—30%。每代制程研发成本翻倍，边际收益减半。行业正在转向“系统级优化”。华为提出的“韬定律”，核心是以“时间缩微”替代摩尔定律的“几何缩微”，通过逻辑折叠等创新技术，压缩信号传播时延，从而在不依赖先进制程的前提下，提升晶体管密度与系统性能。首款搭载逻辑折叠技术的麒麟 9050 Pro 已实现量产验证，晶体管密度提升 55%，单核性能提升 24%，多核性能提升 52%。但“韬定律”并非唯一路径。本文旨在系统梳理除“韬定律”之外，还有哪些方式可以实现“等效制程”提升——即在不追求更小几何尺寸的前提下，让芯片在实际使用中达到更高制程节点的性能与能效水平。2. 材料与器件层：从晶体管结构“等效”提升制程 2.1 GAA 晶体管：用结构创新替代几何缩微全环绕栅极（GAA）晶体管是 FinFET 之后的下一代器件架构。与 FinFET 用“两根手指捏住水管”不同，GAA 用“整只手攥住水管”，栅极从四面包裹电流通道，对电流的控制更精准，几乎杜绝了漏电。中科院近日公布的新型 GAA 晶体管架构，在 DUV 光刻机上实现了开关比超过 50 万倍的性能表现，理论上可解锁 3nm 等效性能。这意味着，在缺少 EUV 光刻机的条件下，通过器件结构创新，仍有一条从 DUV 向更先进制程逼近的技术路径。2.2 背面供电（BSPDN）：从供电结构“等效”提升制程背面供电网络（BSPDN）将芯片的供电结构从晶圆正面转移至背面，从晶圆下方直接为前沿晶体管供电。公开报告显示，BSPDN 可使红外压降降低 20%至 30%，最高频率提升 2%至 6%，核心面积缩小 5%至 15%，面积利用率超 90%。在 2nm 移动处理器设计中，BSPDN 将 IR 压降降低了 122mV，节省了 22% 的面积。此外，该技术可提升

8% 的性能。器件层的“等效制程”逻辑： 不缩小晶体管尺寸，而是通过改变栅极结构（GAA）和供电方式（BSPDN），让现有制程的晶体管工作得更高效。3. 集成与封装层：从“系统级集成”等效提升制程 3.1 Chiplet 芯粒技术：延续摩尔定律的最有效途径随着先进制程接近物理极限，芯粒技术被公认为延续摩尔定律、提升芯片算力的最有效途径。芯粒技术将系统级芯片（SoC）拆分成多个具有特定功能的裸芯片，为不同功能的芯粒选择合适的制程节点分别制造，在性能、成本以及良率的平衡上具有优势。在摩尔定律逼近极限的情况下包括2.5D和3D IC在内的芯粒多芯片集成封装技术可以突破单芯片集成下加工尺寸、功耗墙、内存墙等限制，是超越摩尔定律的重要方式。3.2 3D 混合键合：从互连密度“等效”提升制程混合键合技术使用内嵌式铜焊盘结构，互连密度大幅提高，可支持 1μm 甚至更小的间距。通过将芯粒垂直堆叠在直接晶圆对晶圆的键合中，芯片制造商可将互连间距从铜微凸点的35μm跃升至10μm或更小.基于混合键合的3D堆叠DRAM在LLM推理工作负载中，能源效率提升了90.3%（GEMV）和62.6%（TS-GEMM）。封装层的“等效制程”逻辑： 不把所有功能塞进一颗芯片，而是把多颗芯片通过高密度互连“拼”在一起，用系统级集成替代单芯片制程升级。4. 微架构与系统层：从“结构优化”等效提升制程 4.1 微架构结构优化：用“Tock”替代“Tick”芯片行业的传统迭代节奏是“Tick-Tock”——Tick 换工艺，Tock 换架构。但在制程红利见顶的当下，结构优化正在成为性能提升的主要来源。龙芯中科明确提出“结构升级一代、结构优化一代、工艺升级一代”的研发迭代策略，通过结构优化把单核性能再提高20%—30%，用成熟工艺达到先进工艺的性能。AMD的案例同样印证了这一路径：2024年的芯片单核性能比2022年提升47%，全核性能提升58%，这并非来自制程升级，而是来自核心变宽、资源更多。4.2 系统级时间缩放（τ scaling）一种被称为“τ scaling”的系统级时间缩放理论正在兴起。该理论以时间本身作为缩放维度，通过在垂直堆叠的有源层之间分区数字、模拟和存储电路（即“逻辑折叠”），在固定器件节点下实现等效性能提升。实测数据显示，通过这种内部改造，14nm 成熟工艺的芯片性能可以等效5nm 芯片的算力。微架构层的“等效制程”逻辑： 不换工艺，换结构。通过更宽的核心、更深的流水线、更智能的调度，把现有制程的晶体管利用率从50%提升到80%。5. 编译器与软件层：从“指令效率”等效提升制程 5.1 能耗感知的指令调度编译器可以在不改变硬件的情况下，显著降低CPU能耗。研究表明，最佳能耗优化方法可将能耗降低高达30%，代价是速度下降6%。编译器可通过以下方式优化能耗：循环变换：循环交换、分块、倾斜，提高缓存局部性，减少内存访问能耗。· 指令调度：基于数据依赖图，选择能耗最低的指令顺序。· 汉明距离优化：使连续周期内指令字段之间的比特翻转次数最小化，直接降低电子翻转能耗。5.2 软硬件协同设计华为在“韬定律”中描述的硬件-软件协同设计策略，将指令调度、数据移动和工作负载行为进行联合优化，以提高系统并行度和执行效率。编译器层的“等效制程”逻辑： 不改变晶体管，改变晶体管执行什么指令、以什么顺序执行。同样数量的电子翻转，组织得好，就能做更多有效计算。6. 接口与互连层：从“数据传输效率”等效提升制程 6.1 光互连与共封装光学（CPO）随着

AI 集群快速扩张，带宽密度、传输距离和功耗成为高速电互连面临的关键约束。硅光利用成熟的CMOS制造生态实现高密度光电集成 具备高带宽密度、较低链路能耗等优势。Marvell展示的2nm光互连技术 在102.4 Tbps下实现了200G每通道的硅光子性能 其核心诉求是让云厂商在从1.6T扩展至3.2T时 维持机柜总功耗不变。微软与联发科展示的800G MicroLED CPO原型，整端功耗比传统激光方案下降六成以上，功耗可做到1—2 pJ/bit。6.2 低摆幅 SerDes 与电流模式逻辑低电压差分信号（LVDS）采用低驱动振幅，使数据可更快地反转，且功耗几乎不随频率变化。电流模式逻辑（CML）在低摆幅（200—800 mV）下工作，在高速数字接口中实现了高速度与低功耗的平衡。西安电子科技大学团队基于 65nm CMOS 工艺提出的高能效 CDR 电路 ,核心面积仅 0.0006 mm^2 ,在 21 Gb/s 下功耗 2.75 mW ,能效达到 0.13 pJ/bit。接口层的“等效制程”逻辑：数据在芯片内部和芯片之间传输的能耗，常常被忽视。优化互连，等于给整个系统“免费”降功耗。7. 系统级协同优化：多层叠加的“等效制程”上述各层并非孤立。真正的“等效制程”提升，来自于多层级的协同叠加。STCO（系统工艺协同优化） 是摩尔定律的下一个重要创新演变，它自上而下从应用工作负载开始，通过半导体技术矢量、Multi-Die 芯粒和先进封装互连来优化这些工作负载的性能。数据显示，在 7nm 制程中，整体效能改善约 10% 得益于 DTCO（设计与工艺协同优化）,而到 3nm 以下制程 ,这一比例将提升至 50%。协同叠加的估算效果：层级 优化方向 等效性能提升器件层 GAA 晶体管 + BSPDN +10%—15%封装层 Chiplet + 3D 混合键合 +15%—25%微架构层 结构优化 + 更宽核心 +20%—30%编译器层 能耗感知调度 +10%—30%（能耗降低）接口层 光互连 + 低摆幅 SerDes +25%—38%（功耗降低）协同叠加 多层联合优化 等效提升 1—2 个制程节点 8. 结论“韬定律”以“时间缩微”替代“几何缩微”，是后摩尔时代等效性能提升的一条重要路径。但本文论证，除此之外，还有六大技术方向可以实现“等效制程”：器件层：GAA 晶体管 + 背面供电，通过结构创新让现有制程的晶体管工作得更高效。封装层：Chiplet + 3D 混合键合，用系统级集成替代单芯片制程升级。微架构层：结构优化 + 更宽核心，把现有制程的晶体管利用率从 50%提升到 80%。编译器层：能耗感知调度 + 汉明距离优化，同样数量的电子翻转做更多有效计算。接口层：光互连 + 低摆幅 SerDes ,降低数据传输的“过路费”。系统层 :STCO/DTCO 协同优化，多层叠加实现等效提升。核心逻辑：制程到顶，但“等效制程”的空间远未到顶。 真正的后摩尔时代竞争力，来自于从器件到封装、从微架构到编译器、从接口到系统的全链路协同优化。单一路径能提升 10%—30%，多层叠加可实现等效 1—2 个制程节点的提升。这不依赖于 EUV 光刻机的突破，依赖于系统级的工程智慧。致谢：感谢关于单电子运算效率、CPU 电路深度优化、GAA 晶体管、Chiplet、光互连与系统级协同优化的深入讨论，这些讨论直接启发了本文的技术框架。关键词：等效制程；GAA 晶体管；Chiplet；背面供电；光互连；编译器优化；系统级协同